

DISPLAY PANEL

Patent Number: JP8262994
Publication date: 1996-10-11
Inventor(s): YOSHIDA YOSHIO
Applicant(s): FUJITSU GENERAL LTD
Requested Patent: JP8262994
Application Number: JP19950060577 19950320
Priority Number(s):
IPC Classification: G09F9/30; G02F1/133; G09F9/00; G09G3/20; G09G3/36
EC Classification:
Equivalents:

Abstract

PURPOSE: To eliminate the transmission phase differences of video signals and clock signals and to obtain high-grade display images by setting the signal distributing routes to horizontal drivers at the same length.

CONSTITUTION: This display panel consists of the display panel 1 which is composed of, for example, liquid crystals, etc., the horizontal drivers 2 which are composed of plural ICs, for example, 2 to 3 pieces of ICs, which dividedly drive plural electrodes disposed along the direction perpendicular to the scanning line direction of the liquid crystal (display) panel 1, a vertical driver 3 which drives the plural electrodes disposed along the scanning line direction of the liquid crystal panel 2, first delay sections 4 which are disposed in mid-way of the video wiring patterns 6 on a driving substrate for distributing the video signals to the horizontal driver 2 and are used to adjust the transmission phases and second delay sections 5 which are disposed in mid-way of the clock wiring patterns 7 on the driving substrate for distributing the clock signals to the horizontal drivers 2 and are used to adjust the transmission phases.

Data supplied from the **esp@cenet** database - I2

(15) 特許公報 (A)

(16) 特許公報 (A)

(17) 特許公報 (A)

特開平8-262994

(18) 特許公報 (A) 平成8年(1996)10月11日

(51) Int. Cl.	IPC	IPC	IPC	IPC	IPC
G 0 9 F 9/30	S 1 6	7429-511	G 0 9 F 9/30	S 1 6	
G 0 9 F 1/13	H 4 B		G 0 9 F 1/13	H 4 B	
G 0 9 F 9/30	S 1 6	7429-511	G 0 9 F 9/30	S 1 6	
G 0 9 F 3/20	S 1 6	7429-511	G 0 9 F 3/20	S 1 6	

発明者 大村 孝 特許代理人 山本 正一

(21) 出願番号 特願平7-19777

(71) 出願人 株式会社日立

(22) 公開日 平成7年(1995)3月20日

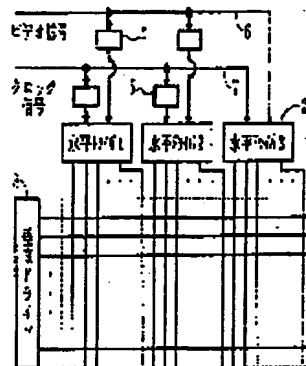
(72) 発明者 古田 伸夫
株式会社日立 日立製作所 日立製作所 日立製作所

04 【発明の名称】 表示パネル

要約

【目的】 水平ドライバへの配線経路を同一長にして、ビデオ信号及びクロック信号の伝送位相差を解消し、高品位の表示画像を得る。

【構成】 例えば、液晶等で構成する表示パネル1と、前記液晶(表示)パネル1の走査線方向と垂直な方向に沿って配置した複数の電極を分担して駆動する複数のIC、例えば、2〜3個のICで構成する水平ドライバ2と、前記液晶パネル1の走査線方向に沿って配置した複数の電極を駆動する垂直ドライバ3と、前記水平ドライバ2にビデオ信号を配線する駆動基板上のビデオ配線パターン6の途中に設けられた、伝送位相を調整するための第一遅延部4と、前記水平ドライバ2にクロック信号を配線する駆動基板上のクロック配線パターン7の途中に設けられた、伝送位相を調整するための第二遅延部5ととなる。



【特許請求の範囲】

【請求項1】 直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のビデオ信号の配信経路を同一長とした表示パネル。

【請求項2】 直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のクロック信号の配信経路を同一長とした表示パネル。

【請求項3】 直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のビデオ信号の配信経路を同一長とするともに、水平ドライバ毎のクロック信号の配信経路を同一長とした表示パネル。

【請求項4】 上記表示パネルを液晶とする請求項1、請求項2或いは請求項3記載の表示パネル。

【請求項5】 上記表示パネルをPDPとする請求項1、請求項2或いは請求項3記載の表示パネル。

【請求項6】 上記表示パネルがつつら折り型の経路長調整用パターンを備える請求項1、請求項2或いは請求項3記載の表示パネル。

【請求項7】 上記表示パネルがうずまき型の経路長調整用パターンを備える請求項1、請求項2或いは請求項3記載の表示パネル。

【請求項8】 直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のビデオ信号の配信経路中に遅延素子を設けることを特徴とした表示パネル。

【請求項9】 直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のクロック信号の配信経路中に遅延素子を設けることを特徴とした表示パネル。

【請求項10】 上記遅延素子をCCD素子で構成することを特徴とした請求項8或いは請求項9記載の表示パネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数の水平ドライバにビデオ信号及びクロック信号を供給する際の、ビデオ信号相互間及びクロック信号相互間の伝送位相差を解消した表示パネルに関する。

【0002】

【従来の技術】 例えば、単純マトリクス方式の液晶パネルは直交するマトリクス電極を液晶層を挟んで上下に設け、前記マトリクス電極を水平ドライバと、垂直ドライ

バにより駆動し、電極の各交点を画素として透過する光りをコントロールして映像を表現する。また、アクティブマトリクス方式の液晶パネルでは、液晶層の一面に、直交するゲート電極とデータ電極をマトリクス状に配置するとともに、各交点毎の前記電極にはTFT（薄膜トランジスタ）を配置し、他面側液晶層の全面に共通電極を配置し、前記マトリクス電極を水平ドライバ及び、垂直ドライバにより駆動し、電極の各交点を画素として透過する光りをコントロールして映像を表現する。上述したように、単純マトリクス方式の液晶パネル或いは、アクティブマトリクス方式の液晶パネルは、何れもマトリクス電極を水平ドライバ及び、垂直ドライバにより駆動し、電極の各交点を画素として透過する光りをコントロールして映像を表現する。

【0003】 図3に示すように、従来の液晶パネルは液晶パネル1の走査線方向に沿って配置した複数の電極、例えば、VGA（ビデオグラフィックスアレイ）の場合40本、を駆動する垂直ドライバ3と、液晶パネル1の走査線方向と垂直な方向に沿って配置した複数の電極、例えば、VGAの場合80本、を分担して駆動する2～3個の水平ドライバ2と、前記水平ドライバ2にビデオ信号を供給する駆動基板6上のビデオ配線パターン6と、前記水平ドライバ2にクロック信号を供給する駆動基板6上のクロック配線パターン7とで構成される。

【0004】 ところで、図3に示した従来の液晶パネルの、例えば、駆動基板6上のビデオ信号を供給するビデオ配線パターン6は分岐点Aからの長さで比較すると、第一水平ドライバの経路が一番短く、次に第二水平ドライバの経路が二番目に短く、第三水平ドライバの経路が一番長い。また、駆動基板6上のクロック信号を供給するクロック配線パターン7も同様に、分岐点Bからの長さで比較すると、第一水平ドライバへの経路が一番短く、次に第二水平ドライバへの経路が二番目に短く、第三水平ドライバへの経路が一番長い。そのため第一水平ドライバのビデオ信号を基準として、第二水平ドライバのビデオ信号は位相遅れが、例えば、 Δ であり、また、第三水平ドライバのビデオ信号は位相遅れが、例えば、 2Δ というような伝送位相遅れを持つ。水平ドライバ2が3個のICで構成される場合は、ビデオ信号は前記経路の長さの差異に相応した、前記伝送位相遅れを生じるため、クロック信号の位相遅れが無い条件の下では、図4

（イ）に示すように、表示用デジタルデータを生成するときのサンプルタイミングは、例えば、第一水平ドライバのサンプルタイミングが最良であり、第二水平ドライバ及び、第三水平ドライバの順にサンプルタイミングが最良点から大きく外れるようになる。表示画像が細かい縦線模様の場合、正しいタイミングでサンプルデータを生成しないと、縦線模様が消滅することもある。従って、例えば、静止画像の輪郭階調がぼけたり、特に細かい線や点が表示されないなど画像劣化の問題があった。

【0005】また、図4(ロ)に示すように、クロック信号を供給する駆動基板上のクロック配線パターン5の経路長の差異に依り、例えば、第一水平ドライバのサンプルタイミングが最良であり、第二水平ドライバ及び、第三水平ドライバの順にサンプルタイミングが最良点から大きく外れるようになる。この場合、ビデオ信号の位相遅れが無いと仮定すると、第一水平ドライバのサンプルタイミングを標準とし、例えば、第二水平ドライバのサンプルタイミング誤差(Δ)、第三水平ドライバのサンプルタイミング誤差(2Δ)というように順に前記誤差が大きくなる。そのため、上述のビデオ信号の位相遅れの場合と同様に、正しいサンプルデータが得られず、例えば、表示画像の輝度レベルが低下し、特に、静止画像の輪郭部の鋭度が低下し、画像がぼけたり、特に細かい線や点が表示されないなど画像劣化の問題があった。

【0006】

【発明が解決しようとする課題】本発明は上記問題点を鑑みなされたもので、異なる経路を経由して供給されるビデオ信号相互間の伝送位相差及び、異なる経路を経由して供給されるクロック信号相互間の伝送位相差を解消した表示パネルを提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のビデオ信号の配信経路を同一長とした。

【0008】また、別の構成では、直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のクロック信号の配信経路を同一長とした。

【0009】また、別の構成では、直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のビデオ信号の配信経路を同一長とするとともに、水平ドライバ毎のクロック信号の配信経路を同一長とした。

【0010】また、別の構成では、直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のビデオ信号の配信経路中に遅延素子を設けた。

【0011】また、別の構成では、直交するマトリクス電極を備え、同マトリクス電極を複数の水平ドライバ及び垂直ドライバで駆動して表示を行う表示パネルにおいて、前記水平ドライバ毎のクロック信号の配信経路中に遅延素子を設けた。

【0012】

【作用】以上のように構成したので、例えば、水平ドライバ毎にビデオ信号を供給するパターン長を同一にし、ビデオ信号を供給する際の、伝送位相差の発生を防止した。また、例えば、水平ドライバ毎にクロック信号を供給するパターン長を同一にし、クロック信号を供給する際の、伝送位相差の発生を防止した。

【0013】また、別の構成では、水平ドライバ毎にビデオ信号或いはクロック信号を供給する経路、例えば、パターンの中に遅延時間調整用の遅延素子を設け、伝送位相差の発生を防止した。

【0014】

【実施例】以下、本発明による表示パネルについて、図を用いて詳細に説明する。図1は本発明による表示パネルの実施例ブロック図である。1は、例えば、液晶等で構成する表示パネルである(以下、表示パネルの具体例として液晶を例に説明する)。2は、前記液晶パネル1の走査線方向と垂直な方向に沿って配置した複数の電極を分担して駆動する複数のIC、例えば、2~3個のICで構成する水平ドライバである。3は、前記液晶パネル1の走査線方向に沿って配置した複数の電極を駆動する垂直ドライバである。4は、前記水平ドライバ2にビデオ信号を配信する駆動基板上的クロック配線パターン6の途中に設けられた、伝送位相を調整するための第一遅延部である。5は、前記水平ドライバ2にクロック信号を配信する駆動基板上的クロック配線パターン7の途中に設けられた、伝送位相を調整するための第二遅延部である。

【0015】本発明による表示パネルの動作を図1、図2に従い説明する。図2は、上記第一遅延部4並びに第二遅延部5の実施例で、つづら折りのパターン図2(イ)と、うずまきのパターン図2(ロ)を示す図である。ビデオ信号若しくは、クロック信号が第一水平ドライバ~第三水平ドライバに供給される場合、例えば、つづら折りのパターン図2(イ)を所要の長さで、信号分岐点A或いはBと、水平ドライバ2との間に設ける。従って、分岐点Aから各水平ドライバ2までのパターンによる伝送遅延は同一になる。従って、第一水平ドライバ~第三水平ドライバに供給されるビデオ信号の伝送位相差、若しくは、クロック信号の伝送位相差を無くすることができる。うずまきのパターン図2(ロ)も上述のつづら折りのパターン図2(イ)と同様に伝送遅延を同一にできる。従って、第一水平ドライバ~第三水平ドライバに供給されるビデオ信号の伝送位相差、若しくは、クロック信号の伝送位相差を無くすることができる。但し、うずまきのパターンは2層以上のプリント基板に適用する。

【0016】尚、表示パネルは液晶に限定するものでなく、マトリクス配置した電極を複数の水平ドライバ及び垂直ドライバで駆動する、例えば、PDP(プラズマディスプレイ)などであっても良い。また、上記第一遅延

部並びに第二遅延部は、上述のプリント基板のパターン、若しくは、配線に限定するものでなく、例えば、C D（電荷結合素子）などの、遅延素子で構成しても、ビデオ信号の伝送位相差、若しくは、クロック信号の伝送位相差を無くすることができる。

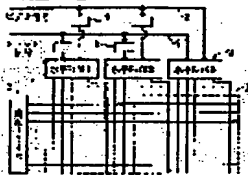
【0017】

【発明の効果】以上説明したように、本発明は異なる経路によって配信されるビデオ信号相互間の伝送位相差及び、異なる経路によって供給されるクロック信号相互間の伝送位相差を解消した表示パネルを提供する。従って、例えば、3つの水平ドライバで画像を表示する場合、何れの水平ドライバにおいても、ビデオ信号の伝送位相差が無く、同時に、クロック信号の伝送位相差が無いので、適切なサンプルタイミングにより、正しいサンプルデータが得られる。従って、正確に高品位に画像を表示できるメリットがある。

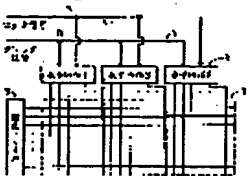
【図面の簡単な説明】

【図1】本発明による表示パネルの実施例ブロック図で

【図1】



【図3】



ある。

【図2】本発明による表示パネルの第一遅延部 並びに第二遅延部の実施例を表す図である。

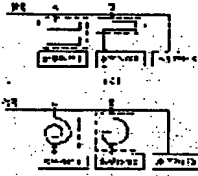
【図3】従来の液晶パネルの実施例ブロック図である。

【図4】従来の液晶パネルにおける表示用デジタルデータを生成するときの、ビデオ信号の遅れに起因したサンプルタイミングのずれを説明するタイムチャート（イ）及び、クロック信号の遅れに起因したサンプルタイミングのずれを説明するタイムチャート（ロ）である。

【符号の説明】

- 1 液晶パネル（表示パネル）
- 2 水平ドライバ
- 3 垂直ドライバ
- 4 第一遅延部
- 5 第二遅延部
- 6 ビデオ配線パターン
- 7 クロック配線パターン

【図2】



【图4】

